

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-009004

(43)Date of publication of application : 11.01.2002

(51)Int.Cl. H01L 21/205
H01L 33/00
H01S 5/223
H01S 5/343

(21)Application number : 2000-347669

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 15.11.2000

(72)Inventor : KIDOGUCHI ISAO
ISHIBASHI AKIHIKO
SUGAWARA TAKESHI
TSUJIMURA AYUMI
BAN YUZABURO
SUZUKI MASAKATSU
KUME MASAHIRO
MIYANAGA RYOKO
MORITA KIYOKUKI
HASEGAWA YOSHITERU

(30)Priority

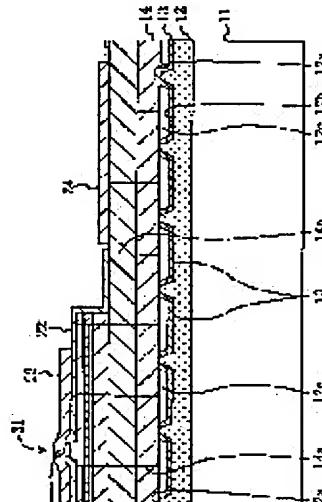
Priority number : 11324010	Priority date : 15.11.1999	Priority country : JP
11367169	24.12.1999	JP
11369834	27.12.1999	JP
2000018407	27.01.2000	JP
2000025931	03.02.2000	JP
2000048824	25.02.2000	JP
2000120760	21.04.2000	JP
2000120761	21.04.2000	JP

(54) METHOD OF MANUFACTURING NITRIDE SEMICONDUCTOR, NITRIDE SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURING THE SAME SEMICONDUCTOR LIGHT EMITTING DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To improve a nitride semiconductor formed through an ELOG method in crystallinity, to enable a resonator to have a large light confining coefficient, to form the resonator whose edge face is reduced in mirror loss, and to easily align a mask for forming a ridge.

SOLUTION: A GaN seed layer 12 for ELOG is formed on a sapphire substrate 11 through the intermediary of a low-temperature GaN buffer layer, and stripe-shaped protuberant parts 12a extending in the plane direction of the substrate and separating from one another by a certain space are provided to the upper part of the GaN seed layer 12. In succession, a silicon nitride film 13 is



formed on the bases and wall surfaces of recessed parts 12b each interposed between the protuberant parts 12a, and then a GaN selection growth layer 14 is formed above the seed layer 12, coming into contact with the protuberant parts 12a so as to form air gaps between its under surface and the bases of the recessed parts 12b.

LEGAL STATUS

[Date of request for examination] 24.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3571641

[Date of registration] 02.07.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

る室化物半導体素子。

【請求項 8-1】 前記共振器の端面は、前記第 3 の室化物半導体半導体層の上における前記各溝部同士の間に前記マスク膜から露出する領域を積結晶として、基板側から、それぞれが、第 2 の室化物半導体層と、該第 2 の室化物半導体層よりもエネルギーチャップが小さい第 3 の室化物半導体層との間に形成され、上部に互いに間隔を有する複数の凸部を形成する工程と、

前記第 1 の溝部の底面とその隣接の少なくとも一部を覆う第 1 のマスク膜を形成する工程と、

前記第 1 の室化物半導体層の上における前記各溝部の間に前記第 1 のマスク膜から露出する領域を構成する工程と、前記各溝部の頂面が前記第 1 の室化物半導体層と基板面に垂直な方向で直らず且つ前記第 1 の凸部の近傍に位置する第 2 の凸部を認識できるようにする工程と、

前記第 2 の室化物半導体層を成長する工程と、前記第 2 の室化物半導体層の上部に、互いに間隔を有する複数の凸部を有する第 4 の室化物半導体層をさらに入する複数の凸部を有する第 4 の室化物半導体層を形成する工程とを備えることを特徴とする請求項 8-7 に記載の室化物半導体素子。

【請求項 9-1】 基板上に形成され、上部に互いに間隔を有する複数の凸部を有する第 1 の溝部同士の間に前記各溝部の底面とその隣接の少なくとも一部を

前記第 2 の溝部の底面とその隣接の少なくとも一部を覆う第 2 のマスク膜を形成する工程と、

前記第 2 の溝部の上における前記各溝部の間に前記第 2 のマスク膜から露出する領域を構成する工程と、前記各溝部の間に前記第 2 のマスク膜を成長する工程と、

前記第 3 の室化物半導体層を含む第 3 の室化物半導体層を形成する工程と、前記各溝部の間に前記第 3 の室化物半導体層を形成する工程とを特徴とする請求項 9-1 に記載の室化物半導体素子。

【請求項 9-2】 前記複数の溝部を形成する工程は、前記複数の溝部の形成周期と、前記共振器端面が露出する領域に前記各溝部のC軸と前記第 2 の室化物半導体層とのC軸とが直交するように電流供給部を形成する工程と、前記各溝部のC軸とが直交するように電流供給部を形成する工程とを備えることを特徴とする請求項 8-10 に記載の室化物半導体素子の製造方法。

【請求項 9-3】 前記マスク膜は該溝部からなることを特徴とする請求項 8-10 に記載の室化物半導体素子の製造方法。

【請求項 9-4】 前記共振体は、室化シリコン、隕化シリコン、隕化室化シリコン、隕化アルミニウム、室化隕化アルミニウム、隕化チタン、隕化ニオブ、室化点金属性又は隕化ニオブアンドチタンの製造方法。

【請求項 9-5】 前記マスク膜は隕化点金属性又は隕化ニオブアンドチタンの製造方法。

【請求項 9-6】 前記マスク膜は隕化点金属性又は隕化ニオブアンドチタンの製造方法。

【請求項 9-7】 前記複数の溝部の上部に前記各第 1 の溝部の底面を覆う第 1 のマスク膜を形成する工程と、前記第 1 の溝部の底面を覆う第 1 のマスク膜を形成する工程とを備えることを特徴とする請求項 9-6 に記載の室化物半導体素子。

【請求項 9-8】 前記マスク膜は該溝部からなることを特徴とする請求項 9-6 に記載の室化物半導体素子の製造方法。

【請求項 9-9】 前記複数の溝部の上部に前記各第 2 の溝部の間に前記第 2 のマスク膜から露出するC面を含む第 3 の室化物半導体層を形成する工程と、前記各第 2 の溝部の間に前記第 2 のマスク膜を形成する工程とを備えることを特徴とする請求項 9-8 に記載の室化物半導体素子。

【請求項 9-10】 前記複数の溝部の上部に前記各第 2 の溝部の間に前記第 2 のマスク膜を形成する工程と、前記各第 2 の溝部の間に前記第 2 のマスク膜を形成する工程とを備えることを特徴とする請求項 9-9 に記載の室化物半導体素子。

する工程と、

前記第 1 の室化物半導体層の上部に、互いに間隔を有する複数の凸部を形成する工程と、

前記第 1 の溝部の底面とその隣接の少なくとも一部を

覆う第 1 のマスク膜を形成する工程と、

前記第 1 の室化物半導体層の上における前記各溝部の間に前記第 1 のマスク膜から露出する領域を構成する工程と、

前記各溝部の頂面が前記第 1 の室化物半導体層と基板面に垂直な方向で直らず且つ前記第 1 の凸部の近傍に位置する第 2 の凸部を認識できるようにする工程と、

前記第 2 の室化物半導体層を成長する工程と、

前記第 2 の室化物半導体層の上部に、互いに間隔を有する複数の凸部を有する第 4 の室化物半導体層を形成する工程とを備えることを特徴とする請求項 9-7 に記載の室化物半導体素子。

【請求項 9-11】 基板上に異なる間隔を有する複数の凸部を形成する工程と、

前記第 3 の溝部の底面とその隣接の少なくとも一部を

覆う第 2 のマスク膜を形成する工程と、

前記第 3 の溝部の上における前記各溝部の間に前記第 2 のマスク膜から露出するC面を含む第 3 の室化物半導体層を形成する工程と、

前記各溝部の間に前記第 2 のマスク膜を成長する工程と、

前記第 4 の室化物半導体層を成長する工程と、

前記第 4 の室化物半導体層の上部に、互いに間隔を有する複数の凸部を有する第 5 の室化物半導体層を形成する工程とを備えることを特徴とする請求項 9-7 に記載の室化物半導体素子。

【請求項 9-12】 前記複数の溝部の上部に前記各第 1 の溝部の底面を覆う第 1 のマスク膜を形成し、形成した第 1 のマスク膜が注入されることを特徴とする半導体素子。

【請求項 9-13】 前記複数の溝部の上部に、第 1 の半導体層と、前記複数の第 1 の半導体層の上に前記第 1 の凸部と接するよう

に形成され、上部に前記第 1 の凸部が延びる方向と同一で且つ前記第 1 の溝部の底面と異なる間隔を有する第 1 の半導体層とを備え、

前記複数の第 2 の凸部のうちの 1 つが前記第 1 の溝部の底面と接する工程とを特徴とする請求項 9-6 に記載の室化物半導体素子の製造方法。

とする半導体绝缘基板の製造方法。

【請求項 9-14】 前記第 1 の半導体層及び第 2 の半導体層を形成する工程と、

前記第 1 の溝部の底面とその隣接の少なくとも一部を

覆う第 1 のマスク膜を形成する工程と、

前記第 1 の室化物半導体層の上における前記各溝部の間に前記第 1 のマスク膜から露出するC面を含む第 3 の室化物半導体層を形成する工程と、

前記各溝部の間に前記第 1 のマスク膜を成長する工程と、

前記第 2 の室化物半導体層を成長する工程と、

前記第 2 の室化物半導体層の上部に、互いに間隔を有する複数の凸部を有する第 4 の室化物半導体層を形成する工程とを備えることを特徴とする請求項 9-7 に記載の室化物半導体素子。

【請求項 9-15】 前記複数の溝部の上部に前記各第 1 の溝部の底面を覆う第 1 のマスク膜を形成し、形成した第 1 のマスク膜が注入されることを特徴とする半導体素子。

【請求項 9-16】 前記複数の溝部の上部に、第 1 の半導体層と、前記複数の第 1 の半導体層の上に前記第 1 の凸部と接するよう

に形成され、上部に前記第 1 の凸部が延びる方向と同一で且つ前記第 1 の溝部の底面と異なる間隔を有する第 1 の半導体層とを備え、

前記複数の第 2 の凸部のうちの 1 つが前記第 1 の溝部の底面と接する工程とを特徴とする請求項 9-6 に記載の室化物半導体素子の製造方法。

【請求項 9-17】 前記複数の溝部の上部に前記各第 2 の溝部の底面を覆う第 2 のマスク膜を形成し、形成した第 2 のマスク膜が注入されることを特徴とする半導体素子。

【請求項 9-18】 前記複数の溝部の上部に、第 1 の半導体層と、前記複数の第 1 の半導体層の上に前記第 1 の凸部と接すると共に、活性層を含む複数の第 2 の半導体層を形成する工程と、

前記第 1 の半導体層の上に、その上部が前記第 1 の凸部と接する凸部を有する第 2 の半導体層を形成する工程とを備えることを特徴とする請求項 9-8 に記載の室化物半導体素子。

【請求項 9-19】 前記複数の溝部の上部に前記各第 2 の溝部の底面を覆う第 2 のマスク膜を形成し、形成した第 2 のマスク膜が注入されることを特徴とする半導体素子。

【請求項 9-20】 前記複数の溝部の上部に、第 1 の半導体層と、前記複数の第 1 の半導体層の上に前記第 1 の凸部と接すると共に、活性層を含む複数の第 2 の半導体層を形成する工程と、

前記第 1 の半導体層の上に、その上部が前記第 1 の凸部と接する凸部を有する第 2 の半導体層を形成する工程とを備えることを特徴とする請求項 9-8 に記載の室化物半導体素子。

【請求項 9-21】 基板上に第 1 の室化物半導体層を形成する工程と、

前記第 1 の室化物半導体層の上に前記各第 1 の溝部の底面を覆う第 1 のマスク膜を形成する工程と、

ことを識別することが容易である。このため、フォトリングラフィ法を用いたリジ部31の位置決めを行なう専用のアライメントパターンを用いる必要がある。

40 ッド層16と基板11Aとの間
されず、従つて、生成光の漏れ
の光の間にのみ透光度が低下

に寄生的な導波路が形成するMQW活性層18においてある。

47
ウム系結晶を得る半導体の製造
する。さらに、第1の実施形態の
二ド層12を設けないため

42
[0175] なお、この寄生的な導波路の生成を阻止する
ときは、空隙部 120 の左右に並ぶか方向の間隔
でできる。

[01151] 10 次に、積層体3のリジジ部3.1を含ま
る積層体をマスクして、n型コンタクト層1.5を露出した
後、積層体3の露出面に絶縁膜2.2を堆積する。続
いて、絶縁膜2.2上にリジジ部3.1を跨ぐと共にp型コン
タクト層2.1の絶縁膜2.2からの露出領域上にp側極
子2.3を形成する。また、n型コンタクト層1.5における
絶縁膜2.2からの露出領域上にn側電極2.4を形成す
る。

[01152] なお、この常滑的な導波路の生成を阻む要
因は、空隙部1.1.cの基板面に垂直な方向の間隙、すなわち溝部1.1.bの深さに依存する。計算機シミュレ
ーションによると、溝部1.1.bの深さ寸法が少なくとも
5.0 nm程度あれば、基板1.1.A側への光の漏れが実
的になくなることを確認している。

[01153] また、GaNからなるn型コンタクト層1.5にア
ルミニウムを2%以上添加すると、基板1.1.A側
への光の漏れをより効果的に抑制できることなどを確認

化ガリウム系半導体レーザ粒子の断面構成を示している。図14において、図11に示す構成部と同一の構成マスク膜13上に析出したままでELO成膜を行なっても、種結晶である内部12-aの頂面と多結晶体が析出し

の凸部 1.1a の頂面に生成される半晶體晶核として電子化されたシリウムを用いたが、他の電子化シリウム系の品温、すなはち、Al_{1-x}GavIn_x (In 1.1a, v, w, 0.05 < x < 1.0) であればよい。この品温の場合、該品温の組成に応じて ELO 成長が可能となる条件を満たすことができる。

【0179】積層体30においては、各層部12cの上の方の低屈折率領域にリッジ部31を形成するには、フォトラッピング層16Aがin型シンクタク層15を兼ねる構成を採る。これにより、MQW活性層18の光の閉じ込め係

[01155] 図1-3は本実施形態に係る半導体レーザ装置の構成を示す。本実施形態は、半導体レーザ子から出射されるレーザ光の共振器端面に平行な方向に向かって出射する遠視野像を示しており、單純性の良好な光強度分布が得られている。一方、第1の従来例に係る半導体レーザ装置は、図4-2に示したように、光強度分布が多峰性となる遠視野像を示す。

[01156] 本実施形態に係る半導体レーザ子に射出する光は、RTE法によるドライエッチングを用いたが、基板1-1bの底面及び裏面にダメージ層を形成し、墨化リソフリューム系半導体に選択成⻑性を付与できる方法であれば、他のドライエッチング方法、例えば、イオンミリング法を用いてもよい。

[01163] また、構部11-1bのダメージ層をELO法

2の空隙部12cによって基板11と分離されている上に、前記エンドクリップE16A、E17A、E18Aの間に、1011831前記エンドクリップE16A、E17A、E18Aの間

（1016.4）なまく、マスククリア1.3は、第1の実施形態に示した露体型、非品質の地盤上に設けられる。また、（1016.5）以上説明したように、本実施形態においては、n型クリア1.6の下側には、該クリア1.6よりも光の屈折率が大きいn型コンタクト層1.5が形成されているため、M/Q/W活性層1.8で生成された生成光が該基板1.1A側に漏れやすい。しかししながら、本実施形態においては、n型コンタクト層1.5の下側に、遮断率が極めて低い空隙部1.1cを設けているため、n型クリアが漏れやすい。

55 2 a におけるマスク膜 1.3 は、溝部 1.2 b の壁面を覆つていてもよい。

2 a の C 面において、一様なステップフローモード長を観察している。このようないわゆる平坦な表面に MQW 活性層 1.8 を成長する。この第 1 の実施形態及びその第 1 变形例に示した説明、非晶質の绝缘体、高融点金属又は高融点合金物を用いることが好ましい。なお、説電体の堆積には ECR-S 油バッファ法を用いることにより、低温で良質のマスク膜 1.3 を得ることができる。

10 2.9.3.1 また、マスク膜 1.3 は、窒化シリコンに限らず、他の半導体素子を形成しても良い。これにより、該半導体素子の高品質性と歩留りを実現できる。

10 10 2.9.4.1 また、本実施形態に係る低圧位密度領域を有する窒化物半導体層を用いることにより、発光素子に限らず、電子素子等の他の半導体素子を形成しても良い。これにより、該半導体素子の高品質性と歩留りを実現できる。

10 10 2.9.5.1 (第 7 の実施形態) 以下、本発明の第 7 の実施形態について前面を参照しながら説明する。

10 10 2.9.6.1 図 3.2 は本発明の第 7 の実施形態に係る窒化ガリウム系半導体レーザ素子の断面構成を示している。図 3.2において、図 1 に示す構成部材と同一の構成である。図 3.2 の組成は、2%以上、好ましくは 4%以上とすると、光の基板 1.1 への漏れを確実に防止する。

10 10 2.9.7.1 図 3.2 に示すように、第 7 の実施形態に係る半導体レーザ素子は、シード層 1.2 の上部に設けられた ELO 成長用の種結晶と、n 型 G a N を含む超格子構造を持つ型超格子クラッド層 1.6 A が n 型コントラクト層を兼ねている。これにより、MQW 活性層 1.8 の光の間にシード層 1.2 B の各凸部 1.2 a の頂面から成長して一體化される。

10 10 2.9.8.1 なお、本実施形態においては、第 1 及び第 2 のシード層 1.2 A、1.2 B に G a N を用いたが、一般に、u、v、w 1、u + v + w = 1 である。() からなる窒化ガリウム系品、特に A 1 G a N 又は G a In N 等を用いること良く、説明の組成に応じてラデラル成長に必要な成長条件を選ばよい。

10 10 2.9.9.1 また、第 1 のシード層 1.2 A は、低温ペッファ層を介して形成したが、第 1 のシード層に半導体レーザ素子の製造方法について前面を参照しながら説明する。

10 10 2.9.9.1 図 3.3 ～図 3.5 は本発明の第 1 の実施形態に係る半導体レーザ素子の製造方法の工程順の断面構成を示している。

10 10 3.0.1 また、図 3.3 に示すように、MOVPE 法を用いて、第 1 の半導体層と同様に、第 1 のサファイア層 1.2 b の断面端をできるだけ小さくすることにより、溝部 1.2 b の断面端を形成されたときの傾斜が 2 μm 未満となるようになることが望ましい。このようにすると、2 回の選択成長及び種結晶 3.0 の成長を行なった後でも種結晶 3.0 にクラックが生じない。

10 10 2.9.11 このため、基板 1.1 の材料に無関係に 3 回以上の選択成長は無意味であり、さらには、歪みに起因する新たな不具合を生じるので好ましくない。

10 10 2.9.21 また、第 1 及び第 2 のシード層 1.2 A、1.2 B の各上部の凸部 1.2 a を形成する際にリフトオフ法を用いたが、凸部 1.2 a 及び溝部 1.2 b が形成でき、該部 1.2 b の少なくとも底面にマスク膜 1.3 が残る方法であれば、他の方法を用いてよい。すなわち、凸部 1.2 a におけるマスク膜 1.3 から露出する。

10 10 3.0.1 前述したように、図 3.2において、電源注入用のリジジ部 3.1 A は溝層 3.0 における低电压密度

2 a におけるマスク膜 1.3 ににおけるラデラル成長した領域において、一様なステップフローモード長を観察している。このようないわゆる平坦な表面に MQW 活性層 1.8 を成長する。この第 1 の実施形態及びその第 1 变形例に示した説明、非晶質の绝缘体、高融点金属又は高融点合金物を用いることが好ましい。なお、説電体の堆積には ECR-S 油バッファ法を用いることにより、低温で良質のマスク膜 1.3 を得ることができる。

10 10 2.9.3.2 また、マスク膜 1.3 は、窒化シリコンに限らず、他の半導体素子を形成しても良い。これにより、該半導体素子の高品質性と歩留りを実現できる。

10 10 2.9.4.2 また、本実施形態に係る低圧位密度領域を有する窒化物半導体層を用いることにより、発光素子に限らず、電子素子等の他の半導体素子を形成しても良い。これにより、該半導体素子の高品質性と歩留りを実現できる。

10 10 2.9.5.2 (第 7 の実施形態) 以下、本発明の第 7 の実施形態について前面を参照しながら説明する。

10 10 2.9.6.2 図 3.2 は本発明の第 7 の実施形態に係る窒化ガリウム系半導体レーザ素子の断面構成を示している。図 3.2において、図 1 に示す構成部材と同一の構成である。図 3.2 の組成は、2%以上、好ましくは 4%以上とすると、光の基板 1.1 への漏れを確実に防止する。

10 10 2.9.7.2 図 3.2 に示すように、第 7 の実施形態に係る半導体レーザ素子は、シード層 1.2 の上部に設けられた ELO 成長用の種結晶と、n 型 G a N を含む超格子構造を持つ型超格子クラッド層 1.6 A が n 型コントラクト層を兼ねている。これにより、MQW 活性層 1.8 の光の間にシード層 1.2 B の各凸部 1.2 a の頂面から成長して一體化される。

10 10 2.9.8.2 なお、本実施形態においては、第 1 及び第 2 のシード層 1.2 A、1.2 B に G a N を用いたが、一般に、u、v、w 1、u + v + w = 1 である。() からなる窒化ガリウム系品、特に A 1 G a N 又は G a In N 等を用いること良く、説明の組成に応じてラデラル成長に必要な成長条件を選ばよい。

10 10 2.9.9.2 また、第 1 のシード層 1.2 A は、低温ペッファ層を介して形成したが、第 1 のシード層に半導体レーザ素子の製造方法について前面を参照しながら説明する。

10 10 2.9.9.2 図 3.3 ～図 3.5 は本発明の第 1 の実施形態に係る半導体レーザ素子の製造方法の工程順の断面構成を示している。

10 10 3.0.2 また、図 3.3 に示すように、MOVPE 法を用いて、第 1 の半導体層と同様に、第 1 のサファイア層 1.2 b の断面端を形成されたときの傾斜が 2 μm 未満となるようになることが望ましい。このようにすると、2 回の選択成長及び種結晶 3.0 の成長を行なった後でも種結晶 3.0 にクラックが生じない。

10 10 2.9.12 このため、基板 1.1 の材料に無関係に 3 回以上の選択成長は無意味であり、さらには、歪みに起因する新たな不具合を生じるので好ましくない。

10 10 2.9.22 また、第 1 及び第 2 のシード層 1.2 A、1.2 B の各上部の凸部 1.2 a を形成する際にリフトオフ法を用いたが、凸部 1.2 a 及び溝部 1.2 b が形成でき、該部 1.2 b の少くとも底面にマスク膜 1.3 から露出する。

10 10 3.0.2 前述したように、図 3.2において、電源注入用のリジジ部 3.1 A は溝層 3.0 における低电压密度

領域に形成することが半導体レーザ素子の特性の向上を図る上で役立つとなる。

10 10 3.0.9.1 図 3.6 (a) は複数のリジジ部 3.1 のうち、電流注入用として適当なリジジ部 3.1 を示した例である。O 印を付したリジジ部 3.1 は、溝部 1.2 a と接合している。これによって、最も抵抗値が低い領域に位相が逆転している。これによって、X 印を付したリジジ部 3.1 は高电压密度領域に位置している。

10 10 3.0.10.1 従つて、図 3.5 に示した、n 型コントラクト (n-C) を付したリジジ部 3.1 は、溝部 1.2 a と接合している。これによって、最も抵抗値が低い領域に位相が逆転している。これによって、O 印を付したリジジ部 3.1 は溝部 1.2 a を露出するエッチング工程において、O 印を付したリジジ部 3.1 を電流注入用のリジジ部 3.1 として設置している。

10 10 3.0.11 そこで、本実施形態においては、図 3.6 (b) に示すように、リジジ部 3.1 A とミーリジジ部 3.1 B とを容易に区別できるように、以下の方法を用いる。

10 10 3.0.12 あらかじめ、第 2 の形成周期 (パートーン B) を溝部 3.1 A 及びミーリジジ部 3.1 B を区別するように留意等を付けておく。ここでは、番号 1 ～番号 6 まで、第 2 の形成周期 (パートーン B) を溝部 3.1 A 及びミーリジジ部 3.1 B と付ける。

10 10 3.0.13 一方、ウエハ上には、リジジ部 3.1 A と付された番号と対応するように、例えば、基板 1.1 上ににおけるリジジ部 3.1 A 及びミーリジジ部 3.1 A と付された番号と対応するように、例えば、ドライエッチャリングを行なつて、n 型コントラクト層 1.5 を、n 型クラッド層 1.6 によるミーリジジ部 3.1 が形成されるようになされた後、種結晶 3.0 の表面に変化シリコンがからなる絶縁層 2 を堆積する。

10 10 3.0.14 まず、図 3.5 に示すように、側面体 3.0 におけるリジジ部 3.1 A を含まない領域に対して、ドライエッチャリングを行なつて、n 型コントラクト層 1.5 を、n 型クラッド層 1.6 によるミーリジジ部 3.1 が形成されるようになされた後、種結晶 3.0 の表面に変化シリコンがからなる絶縁層 2 を堆積する。

10 10 3.0.15 まず、図 3.2 に示すように、四つの化成装置 (ICP-E) を用いて反応性イオンエッチング (RIE) により、絶縁層 2 における、リジジ部 3.1 A の上側及び側面部分、並びに n 型コントラクト層 1.5 における 1 つのみのミーリジジ部 3.1 と凸い面側り対する、互いに近傍するリジジ部 3.1 と凸部 1.2 a との高い伝導性が何となる。従つて、少なくとも 8 個の合計マークを用意すれば、番号 1 ～8 の間に、O 印を付すことができるリジジ部 3.1 が少なからずも 1 つもつづけすることになる。

10 10 3.0.16 一方として、側面体 3.0 における番号 3 のマーク (ニアメンドントハーパー) を設けておる。本実施形態の場合は、第 1 の形成周期 (パートーン A) と第 2 の形成周期 (パートーン B) の際の差は 2 μm であるため、バーチャルフレーム 2 と、リジジ部 3.1 B の上側及び側面部分にこれそれぞれのミーリジジ部 3.1 B の上側及び側面部分にこれそれぞれのミーリジジ部 3.1 B が形成する。その後、その後、リジジ部 3.1 A 及びその側面に設けられた開口部を設ける。その後、絶縁層 2 の開口部からの露出領域上に側面電極 2 を形成する。これは、絶縁層 2 の開口部から漏出する電流に漏れ電流を抑制することになる。

10 10 3.0.17 また、p 型電極 2.3 を形成する際に側面領域においては、側面体 3.0 における番号 3 のマーク (ニアメンドントハーパー) と番号 4 のミーリジジ部 3.1 B と付ける。なお、ミスマスクの境界を合わせれば、電流の間の領域に、フォトマスクの境界は約 3.0 μm が少なからずも 1 つもつづけすることができる。

10 10 3.0.18 一方として、側面体 3.0 における番号 3 のマーク (ニアメンドントハーパー) を設けておる。本実施形態の場合は、第 1 の形成周期 (パートーン A) と第 2 の形成周期 (パートーン B) の際の差は 2 μm であるため、リジジ部 3.1 A が残すことができる。電流の間の領域に、フォトマスクの境界は約 3.0 μm が少なからずも 1 つもつづけすることになる。

10 10 3.0.19 また、p 型電極 2.3 を形成する際に側面領域においては、側面体 3.0 における番号 3 のマーク (ニアメンドントハーパー) と番号 4 のミーリジジ部 3.1 B と付ける。なお、ミスマスクの境界を合わせれば、電流の間の領域に、フォトマスクの境界は約 3.0 μm が少なからずも 1 つもつづけすることができる。

10 10 3.0.20 一方として、側面体 3.0 における番号 3 のマーク (ニアメンドントハーパー) を設けておる。本実施形態の場合は、第 1 の形成周期 (パートーン A) と第 2 の形成周期 (パートーン B) の際の差は 2 μm であるため、リジジ部 3.1 A が残すことができる。電流の間の領域に、フォトマスクの境界は約 3.0 μm が少なからずも 1 つもつづけすることになる。

10 10 3.0.21 一方として、側面体 3.0 における番号 3 のマーク (ニアメンドントハーパー) を設けておる。本実施形態の場合は、第 1 の形成周期 (パートーン A) と第 2 の形成周期 (パートーン B) の際の差は 2 μm であるため、リジジ部 3.1 A が残すことができる。電流の間の領域に、フォトマスクの境界は約 3.0 μm が少なからずも 1 つもつづけすることになる。

10 10 3.0.22 一方として、側面体 3.0 における番号 3 のマーク (ニアメンドントハーパー) を設けておる。本実施形態の場合は、第 1 の形成周期 (パートーン A) と第 2 の形成周期 (パートーン B) の際の差は 2 μm であるため、リジジ部 3.1 A が残すことができる。電流の間の領域に、フォトマスクの境界は約 3.0 μm が少なからずも 1 つもつづけることになる。

10 10 3.0.23 一方として、側面体 3.0 における番号 3 のマーク (ニアメンドントハーパー) を設けておる。本実施形態の場合は、第 1 の形成周期 (パートーン A) と第 2 の形成周期 (パートーン B) の際の差は 2 μm であるため、リジジ部 3.1 A が残すことができる。電流の間の領域に、フォトマスクの境界は約 3.0 μm が少なからずも 1 つもつづけることになる。

10 10 3.0.24 一方として、側面体 3.0 における番号 3 のマーク (ニアメンドントハーパー) を設けておる。本実施形態の場合は、第 1 の形成周期 (パートーン A) と第 2 の形成周期 (パートーン B) の際の差は 2 μm であるため、リジジ部 3.1 A が残すことができる。電流の間の領域に、フォトマスクの境界は約 3.0 μm が少なからずも 1 つもつづけることになる。

10 10 3.0.25 一方として、側面体 3.0 における番号 3 のマーク (ニアメンドントハーパー) を設けておる。本実施形態の場合は、第 1 の形成周期 (パートーン A) と第 2 の形成周期 (パートーン B) の際の差は 2 μm であるため、リジジ部 3.1 A が残すことができる。電流の間の領域に、フォトマスクの境界は約 3.0 μm が少なからずも 1 つもつづけることになる。

10 10 3.0.26 一方として、側面体 3.0 における番号 3 のマーク (ニアメンドントハーパー) を設けておる。本実施形態の場合は、第 1 の形成周期 (パートーン A) と第 2 の形成周期 (パートーン B) の際の差は 2 μm であるため、リジジ部 3.1 A が残すことができる。電流の間の領域に、フォトマスクの境界は約 3.0 μm が少なからずも 1 つもつづけることになる。

10 10 3.0.27 一方として、側面体 3.0 における番号 3 のマーク (ニアメンドントハーパー) を設けておる。本実施形態の場合は、第 1 の形成周期 (パートーン A) と第 2 の形成周期 (パートーン B) の際の差は 2 μm であるため、リジジ部 3.1 A が残すことができる。電流の間の領域に、フォトマスクの境界は約 3.0 μm が少なからずも 1 つもつづけることになる。

10 10 3.0.28 一方として、側面体 3.0 における番号 3 のマーク (ニアメンドントハーパー) を設けておる。本実施形態の場合は、第 1 の形成周期 (パートーン A) と第 2 の形成周期 (パートーン B) の際の差は 2 μm であるため、リジジ部 3.1 A が残すことができる。電流の間の領域に、フォトマスクの境界は約 3.0 μm が少なからずも 1 つもつづけることになる。

10 10 3.0.29 一方として、側面体 3.0 における番号 3 のマーク (ニアメンドントハーパー) を設けておる。本実施形態の場合は、第 1 の形成周期 (パートーン A) と第 2 の形成周期 (パートーン B) の際の差は 2 μm であるため、リジジ部 3.1 A が残すことができる。電流の間の領域に、フォトマスクの境界は約 3.0 μm が少なからずも 1 つもつづけることになる。

いて上方から観察する際に、積層体30における低軸位密度領域を特定できなくてはならない。本実施形態においては、図3.2に示すように、空隙部12cによって、観察光の屈折率差が大きくなるため、凸部1.2a(高屈折率領域)の位置が明確となるため、凸部1.2aと接合部1.3との間に位置するELO成長層の構成断面図である。

【図1】本発明の第1の実施形態に係る窒化ガリウム系半導体レーザー素子を示す構成断面図である。

【図2】(a)及び(b)は本発明の第1の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図3】(a)及び(b)は本発明の第1の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図4】本発明の第1の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図5】(a)～(d)は本発明の第1の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法の特徴を段階的に示す模式的な断面図である。

【図7】本発明の第1の実施形態の第1変形例に係る窒化ガリウム系半導体レーザー素子の成長成長層の空隙におけるフォトオルミネッセンスを、第1の実施形態と比較した結果を示すグラフである。

【図8】本発明の第1の実施形態の第2変形例に係る窒化ガリウム系半導体レーザー素子を示す構成断面図である。

【図9】本発明の第2の実施形態に係る窒化ガリウム系半導体レーザー素子を示す構成断面図である。

【図10】(a)及び(b)は本発明の第2の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図11】本発明の第2の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図12】本発明の第2の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図13】本発明の第2の実施形態に係る窒化ガリウムと、ELO成長する選択成長層が、ELO成長層のマスク膜の上に析出する多結晶体の影響を受けなくなるため、選択成長層及びその上に成長する積層体の結晶の品質が向上する。従って、本発明の窒化物半導体を用いた窒化物半導体素子の動作特性及び信頼性を向上できる。

【図14】本発明の第3の実施形態に係る窒化ガリウム系半導体レーザー素子のリッジ部における基板と垂直な方向の屈折率分布と、共振器端面の光強度分布との関係を示すグラフである。

【図16】本発明の第3の実施形態に係る窒化ガリウム系半導体レーザー素子から射出されるレーザ光の共振器端面を自然形成でき、共振器端面を設計することにより、共振器端面を射出するための凸部開口部の間を遮断せずして済み、また、選択成長層の結晶成長軸のチャートを低成長法等に適用できる。

【図17】本発明の第3の実施形態に係る窒化ガリウム系半導体レーザー素子における選択成長層のマスク膜の上に析出する多結晶体の影響を受けなくなるため、選択成長層のマスク膜の上に析出する多結晶体の影響を受けなくなるため、選択成長層及びその上に成長する積層体の結晶の品質が向上する。従って、本発明の窒化物半導体を用いた窒化物半導体素子の動作特性及び信頼性を向上できる。

【図18】(a)及び(b)は本発明の第6の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図19】(a)及び(b)は本発明の第6の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図20】(a)及び(b)は本発明の第7の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法において選択成長層を2段階で形成する効果を示す部分的な断面図である。(b)は比較用であって、窒化ガリウム系半導体レーザー素子の選択成長層の側面にうねりが生じる様子を示す部分的な斜視図である。

【図21】(a)～(d)は本発明の第4の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法の特徴を段階的に示す模式的な断面図である。

滅でき、マスクの位置合わせをも容易に行なえるようになる。

【図面の説明】

【図1】本発明の第1の実施形態に係る窒化ガリウム系半導体レーザー素子を示す構成断面図である。

【図2】(a)及び(b)は本発明の第1の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図3】(a)及び(b)は本発明の第1の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図4】本発明の第1の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図5】(a)～(d)は本発明の第1の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法の特徴を示す模式的な断面図である。

【図7】本発明の第1の実施形態の第1変形例に係る窒化ガリウム系半導体レーザー素子の成長成長層の空隙におけるフォトオルミネッセンスを、第1の実施形態と比較した結果を示すグラフである。

【図8】本発明の第1の実施形態の第2変形例に係る窒化ガリウム系半導体レーザー素子を示す構成断面図である。

【図9】本発明の第2の実施形態に係る窒化ガリウム系半導体レーザー素子を示す構成断面図である。

【図10】(a)及び(b)は本発明の第2の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図11】本発明の第2の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図12】本発明の第2の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図13】本発明の第2の実施形態に係る窒化ガリウムと、ELO成長する選択成長層が、ELO成長層のマスク膜の上に析出する多結晶体の影響を受けなくなるため、選択成長層及びその上に成長する積層体の結晶の品質が向上する。従って、本発明の窒化物半導体を用いた窒化物半導体素子の動作特性及び信頼性を向上できる。

【図14】本発明の第3の実施形態に係る窒化ガリウム系半導体レーザー素子のリッジ部における基板と垂直な方向の屈折率分布と、共振器端面の光強度分布との関係を示すグラフである。

【図16】本発明の第3の実施形態に係る窒化ガリウム系半導体レーザー素子から射出されるレーザ光の共振器端面を自然形成でき、共振器端面を設計することにより、共振器端面を射出するための凸部開口部の間を遮断せずして済み、また、選択成長層の結晶成長軸のチャートを低成長法等に適用できる。

【図17】本発明の第3の実施形態に係る窒化ガリウム系半導体レーザー素子における選択成長層のマスク膜の上に析出する多結晶体の影響を受けなくなるため、選択成長層及びその上に成長する積層体の結晶の品質が向上する。従って、本発明の窒化物半導体を用いた窒化物半導体素子の動作特性及び信頼性を向上できる。

【図18】(a)及び(b)は本発明の第6の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図19】(a)及び(b)は本発明の第6の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図20】(a)及び(b)は本発明の第7の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図21】(a)～(d)は本発明の第4の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法の特徴を示す模式的な断面図である。

【図17】本発明の第3の実施形態に係る窒化ガリウム系半導体レーザー素子における積層体30を形成する前の選択成長層の光学顕微鏡による平面写真と、それと对应的する断面構成断面図である。

【図18】本発明の第4の実施形態に係る窒化ガリウム系半導体レーザー素子を示す構成断面図である。

【図19】(a)及び(b)は本発明の第4の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図20】(a)及び(b)は本発明の第4の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法における選択成長層を段階的に表わした断面構成断面図である。

【図21】(a)及び(b)は本発明の第4の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図22】(a)～(d)は本発明の第4の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法の特徴を示す模式的な断面図である。

【図23】(a)～(d)は本発明の第5の実施形態に係る窒化ガリウム系半導体レーザー素子における積層体M面、すなわち基板のA面における構成断面図である。

【図24】(a)～(d)は本発明の第5の実施形態に係る窒化ガリウム系半導体レーザー素子における積層体M面、すなわち基板のA面における構成断面図である。

【図25】(a)～(d)は本発明の第5の実施形態に係る窒化ガリウム系半導体レーザー素子における積層体M面、すなわち基板のA面における構成断面図である。

【図26】(a)～(d)は本発明の第5の実施形態に係る窒化ガリウム系半導体レーザー素子における積層体M面、すなわち基板のA面における構成断面図である。

【図27】(a)～(d)は本発明の第6の実施形態に係る窒化ガリウム系半導体レーザー素子における積層体のA面、すなわち基板のM面における構成断面図である。

【図28】(a)及び(b)は本発明の第6の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図29】(a)及び(b)は本発明の第6の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図30】(a)及び(b)は本発明の第6の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図31】(a)及び(b)は本発明の第6の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図32】(a)及び(b)は本発明の第7の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図33】(a)及び(b)は本発明の第7の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図34】(a)及び(b)は本発明の第7の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図35】(a)及び(b)は本発明の第7の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

【図36】(a)及び(b)は本発明の第7の実施形態に係る窒化ガリウム系半導体レーザー素子の製造方法を示す工程順の構成断面図である。

63	低伝位密度領域	2.2	池表面
14 c	うねり	2.3	p側電極
14 d	選択成長層	2.4	n側電極
14 A	第1の選択成長層	2.5	p側配線電極
14 B	第2の選択成長層	2.6	n側配線電極
14 C		3.0	積層体
15	n型コンタクト層	3.1	リッジ部
15 a	接合部	3.1 A	リッジ部
15 A	n型超格子コンタクト層	3.1 B	ダミーリッジ部
16	n型クラッド層	10	3.2 共振器端面
16 A	n型超格子クラッド層	17	3.4 選択成長シード層
17	n型ガイド層	18	多重量子井戸(MQW)活性層
18	p型光ガイド層	19	3.5 池表面
19	p型クラッド層	20	4.0 レジストパターン
20	p型コンタクト層	21	4.1 多結晶体
21	p型コンタクト層	22	

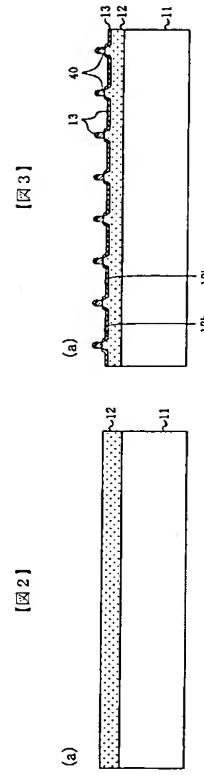
(33)

特開2002-9004

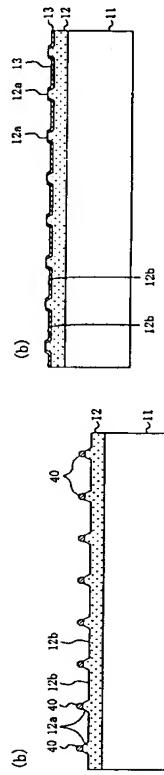
特開2002-9004

(34)

特開2002-9004

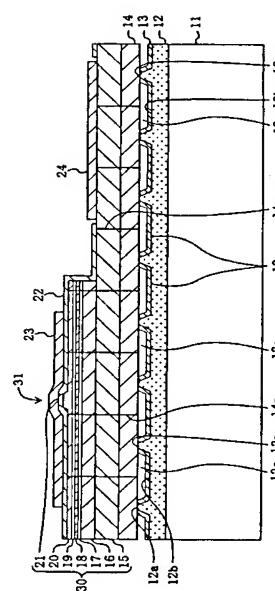


【図2】

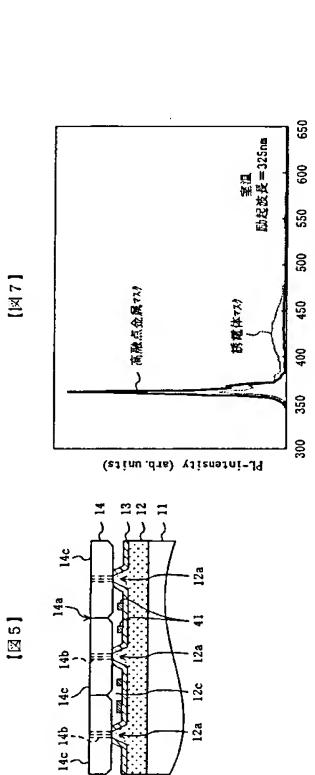


【図3】

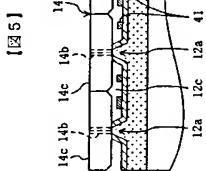
【図1】



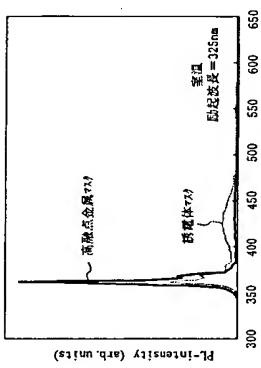
【図1】



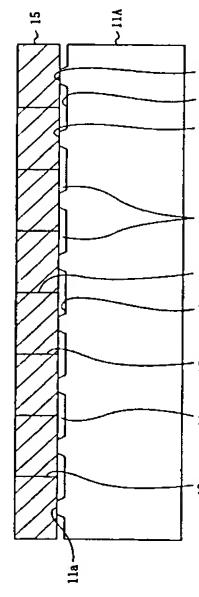
【図4】



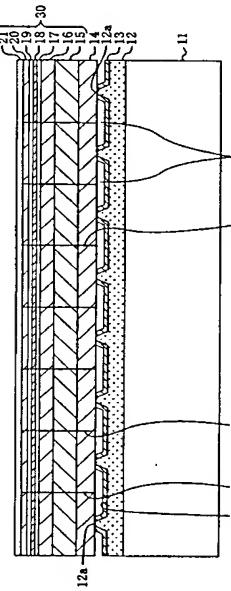
【図5】



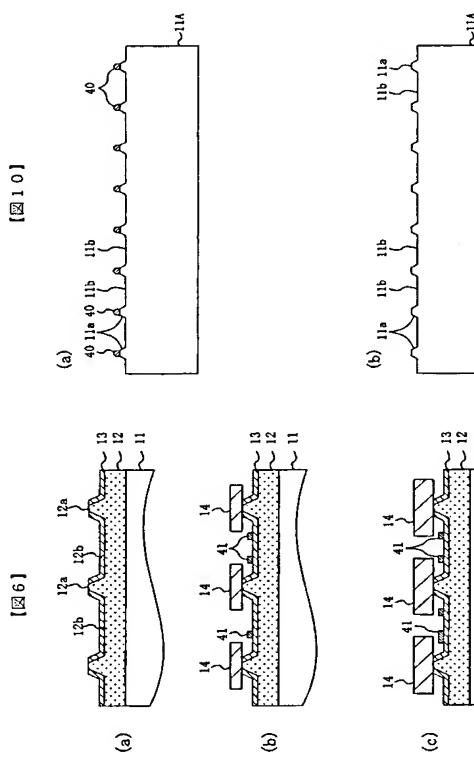
【図6】



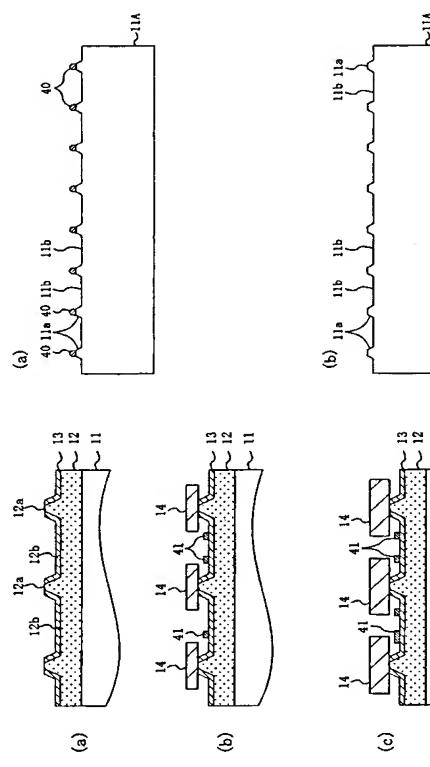
【図7】



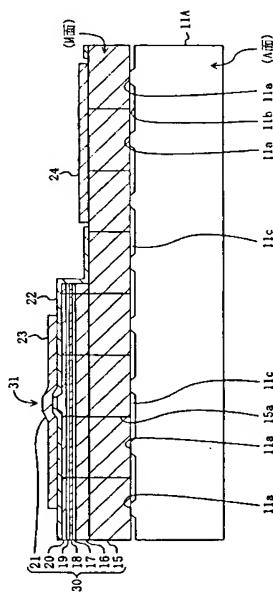
【図8】



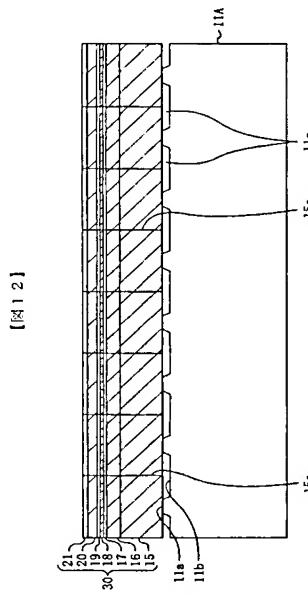
[図6]



[図10]

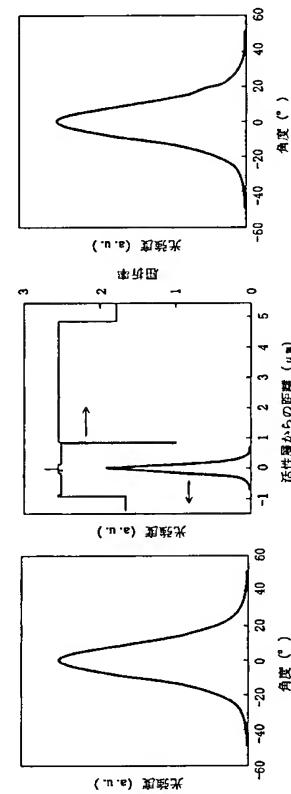


[図9]



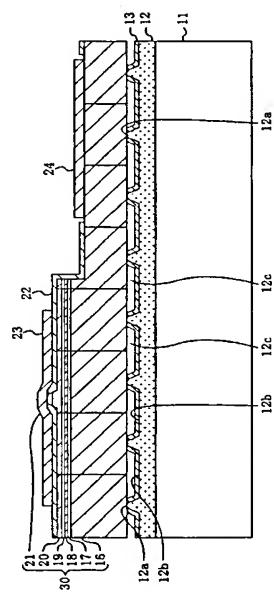
[図12]

[図13]

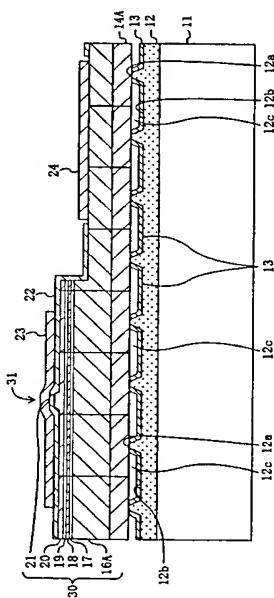


[図15]

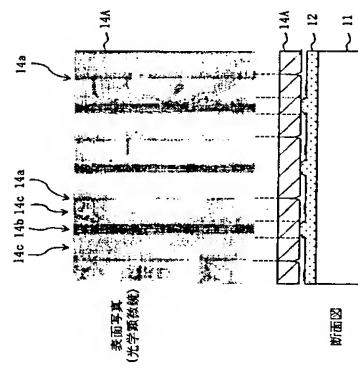
[図16]



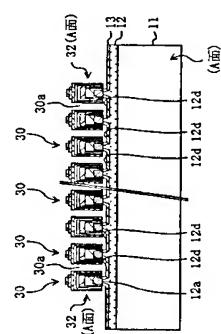
[図14]



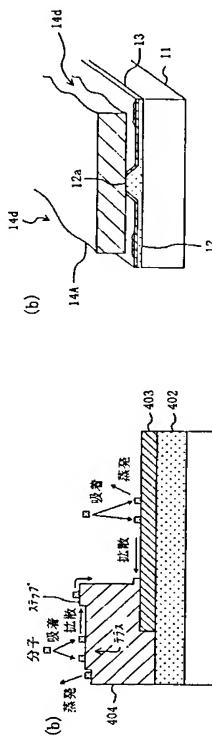
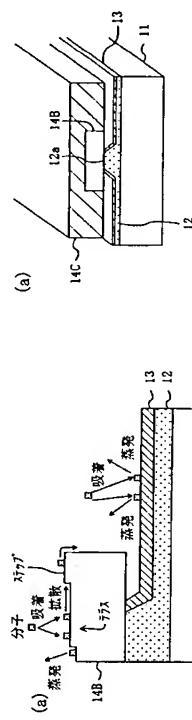
[図17]



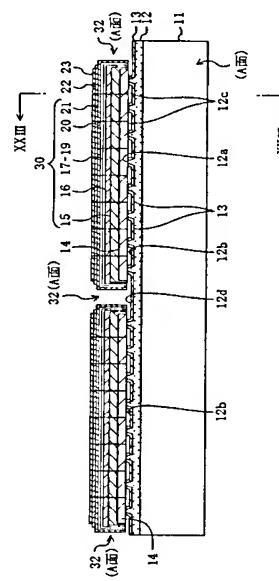
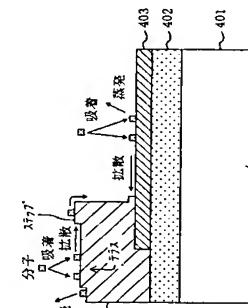
[図25]



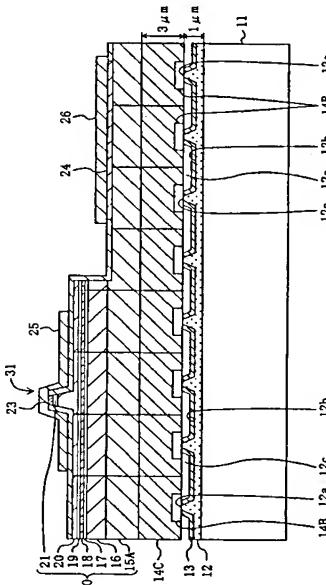
[図20]



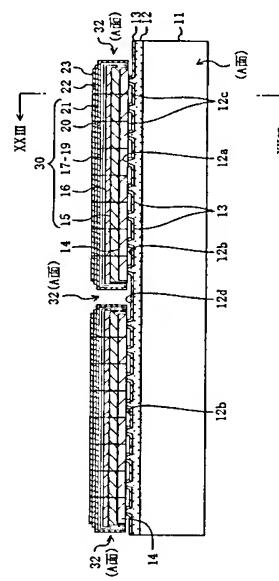
[図19]



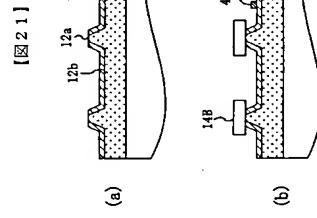
[図18]



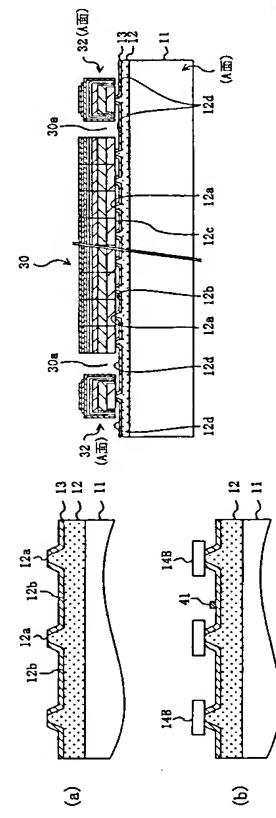
[図21]



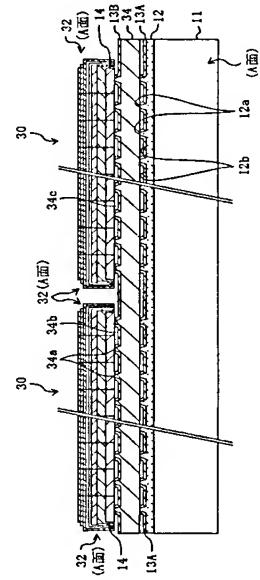
[図22]



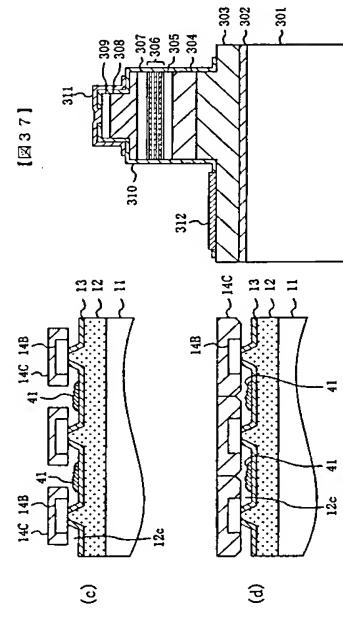
[図21]



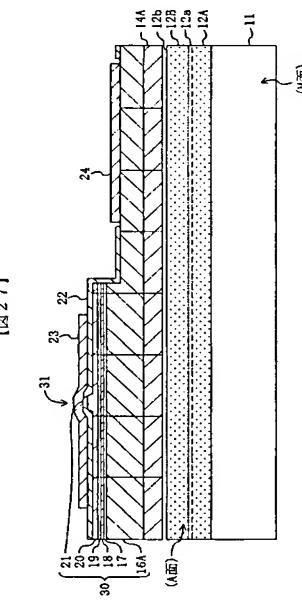
[図24]



[図26]

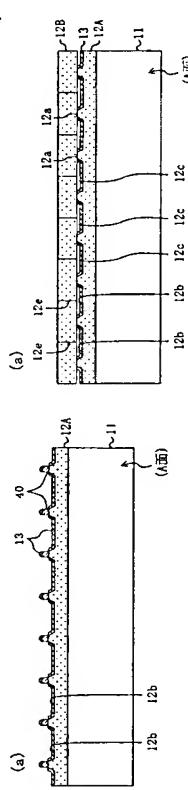


[図27]

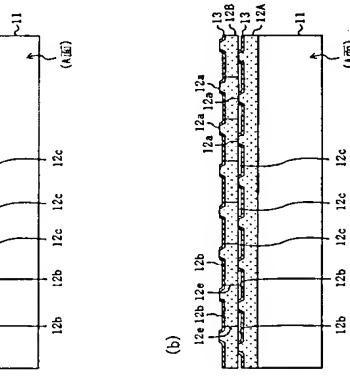
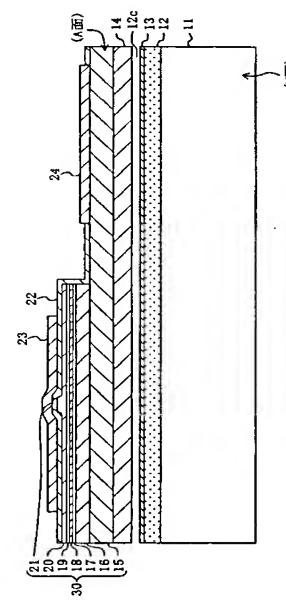


[図28]

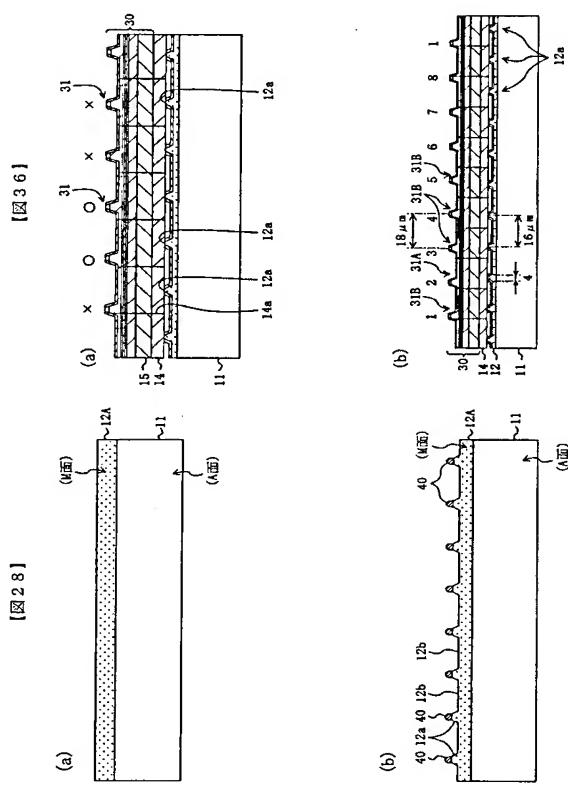
[図29]



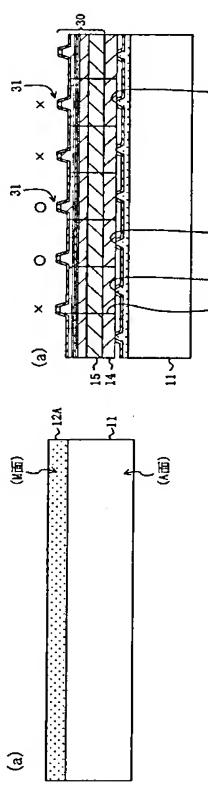
[図29]



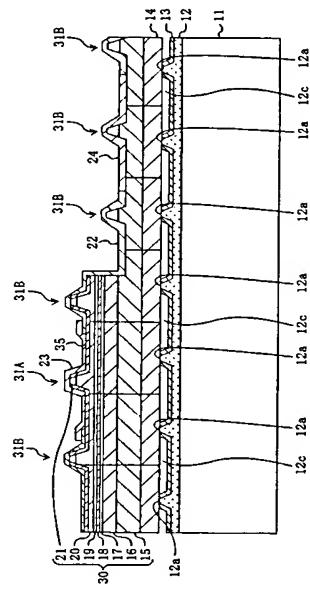
[図30]



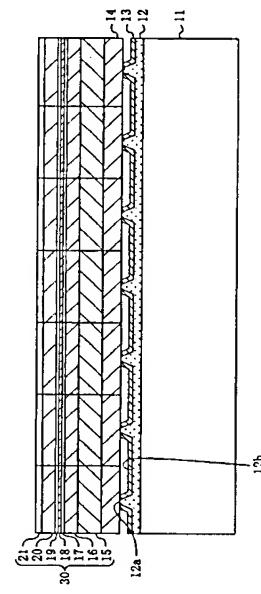
[図28]



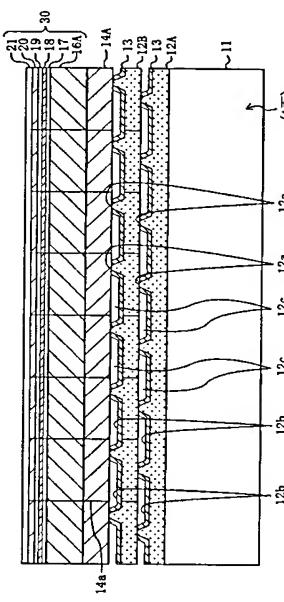
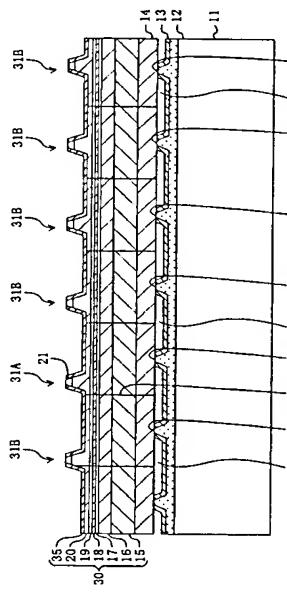
361



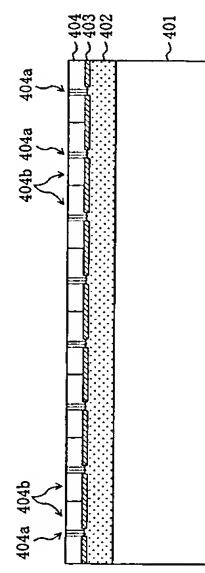
[232]



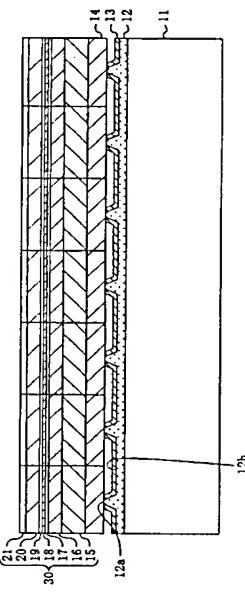
[图34]



311

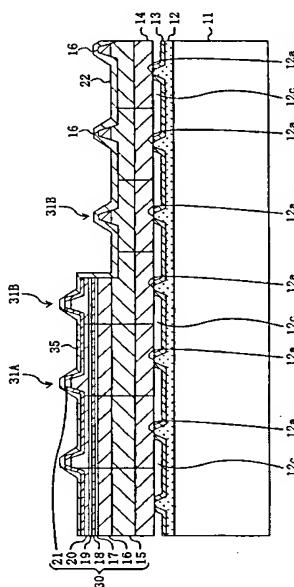


186

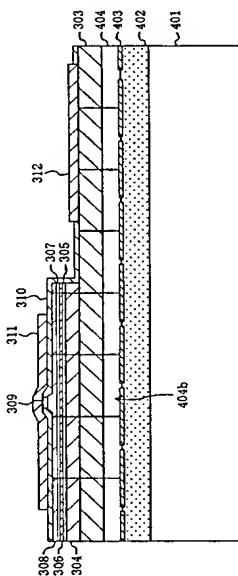


[33]

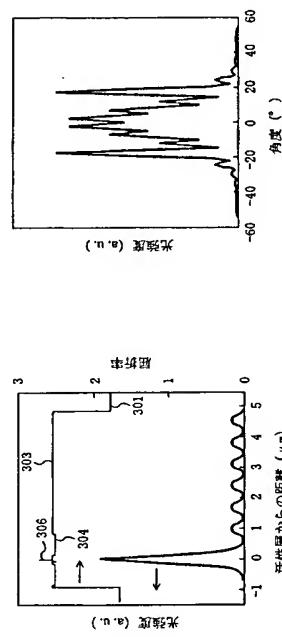
351



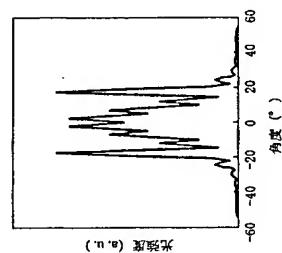
193



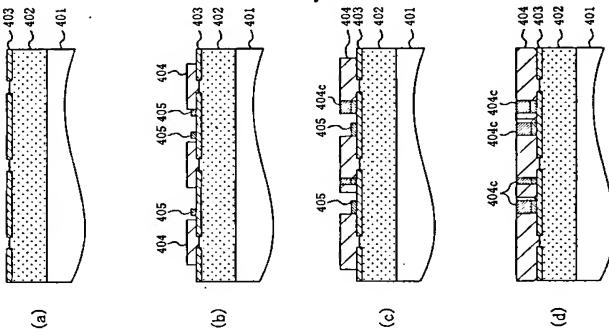
411



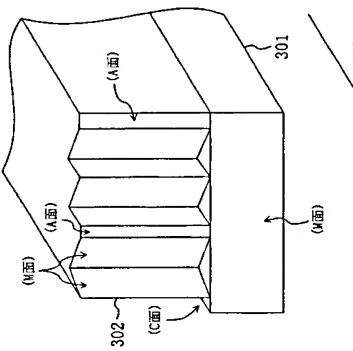
421



[四四〇]



[431]



(72)発明者 大坂筋門貢市大字門貢1006番地	件 雄三郎 産業株式会社内	松下電器
(72)発明者 大坂筋門貢市大字門貢1006番地	件 政勝 産業株式会社内	松下電器
(72)発明者 大坂筋門貢市大字門貢1006番地	件 雅博 産業株式会社内	松下電器
(72)発明者 大坂筋門貢市大字門貢1006番地	件 水良子 産業株式会社内	松下電器
(72)発明者 大坂筋門貢市大字門貢1006番地	件 満田清之 産業株式会社内	松下電器

フロントページの統一

(31)優先登録主張番号	特許2000-18407(P2000-18407)
(32)優先日	平成12年1月21日(2000. 1. 21)
(33)優先登録主張国	日本 (JP)
(31)優先登録主張番号	特許2000-25931(P2000-25931)
(32)優先日	平成2年2月3日(2000. 2. 3)
(33)優先登録主張国	日本 (JP)
(31)優先登録主張番号	特許2000-4-48234(P2000-48234)
(32)優先日	平成2年4月25日(2000. 2. 25)
(33)優先登録主張国	日本 (JP)
(31)優先登録主張番号	特許2000-120760(P2000-120760)
(32)優先日	平成12年4月21日(2000. 4. 21)
(33)優先登録主張国	日本 (JP)
(31)優先登録主張番号	特許2000-120761(P2000-120761)
(32)優先日	平成12年4月21日(2000. 4. 21)
(33)優先登録主張国	日本 (JP)
(72)発明者	菅原 岳
	大坂府鶴見市大字門真006番地
	松下電工社会貢内

(45)

特開2002-9004

(72) 著明者 長谷川 義晃
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターマ(33号)
5F041 AA40 CA04 CA05 CA34 CA40
CA46 CA65 CA67 CB02 FF16
FF045 AA04 AA19 AB14 AB17 AB18
AB31 AB32 AC01 AC03 AC12
AC19 AF09 AF12 AF13 BB12
CA10 CA12 DA53 DA54 DB02
DB06
5F073 AA11 AA13 AA45 AA55 AA74
CA07 CB05 CB07 DA05 DA07
DA35 EA29